

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

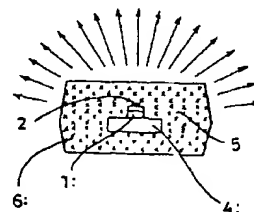
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

- (54) INFRARED EMISSION DIODE
 (11) 5-327026 (A) (43) 10.12.1993 (19) JP
 (21) Appl. No. 4-130567 (22) 22.5.1992
 (71) SHARP CORP (72) JUNZO ISHIZAKI
 (51) Int. Cl.⁵. H01L33/00

PURPOSE: To provide an infrared emission diode having directivity characteristic which allows radiation intensity to show peak value uniformly in a region limited from a package center while realizing compactness and thinning of a package.

CONSTITUTION: An infrared emission diode chip 1 and a lead frame 4 where the diode chip 1 is attached are coated with light transmitting resin 5 containing filler 6 with light scattering effect. The light transmitting resin is formed to a rectangular compact and thin package structure. Emission from the infrared emission diode chip is scattered by the filler and creeps over a package center part opposite to an electrode of the chip. According to the light scattering effect, lens effect in an approximately rectangular package corner part and reflection light at a boundary surface between air and resin are remarkably reduced. Therefore, in a region of a directivity angle of about $\pm 30^\circ$ from the package center, radiation intensity becomes a peak value uniformly.

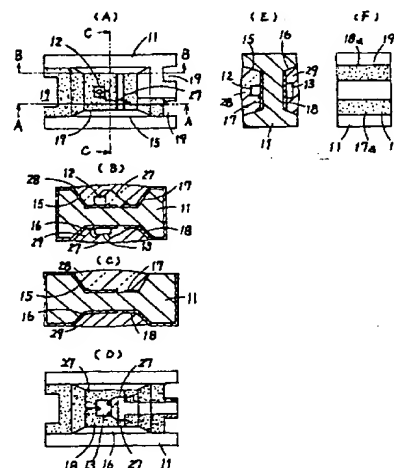


(54) VOLTAGE VARIATION DISPLAY ELEMENT

- (11) 5-327027 (A) (43) 10.12.1993 (19) JP
 (21) Appl. No. 4-133596 (22) 26.5.1992
 (71) SHARP CORP (72) ATSUSHI OKAZAKI
 (51) Int. Cl.⁵. H01L33/00

PURPOSE: To acquire a device which enables surface package by compactness and thinning and realizes a low cost without using a lead frame by forming a thin film-like wiring part in a package and by mounting each chip thereon.

CONSTITUTION: A voltage variation display element is provided with an emission chip 12 for displaying voltage variation of an input power supply voltage and a control chip 13 which compares an input power supply voltage with a standard voltage, and drives and controls the emission chip 12 when the input power supply voltage is lower than the standard voltage. In such a voltage variation display element, an emission side recessed part 15 and a control side recessed part 16 are formed in a package 11. A thin film-like emission side wiring part 17 is further provided to the emission side recessed part 15 solidly and the emission chip 12 is mounted on the emission side wiring part 17. A thin film-like control side wiring part 18 is formed in the control side recessed part 16 solidly and the control chip 13 is mounted on the control side wiring part 18. The emission side recessed part 15 is arranged in an upper side of the package 11 and the control side recessed part 16 is arranged in a lower side of the package 11.

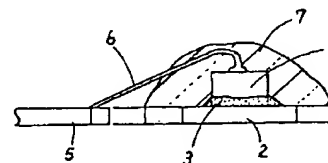


(54) MANUFACTURE OF OPTICAL DEVICE

- (11) 5-327028 (A) (43) 10.12.1993 (19) JP
 (21) Appl. No. 4-133597 (22) 26.5.1992
 (71) SHARP CORP (72) IKUO TAKAHASHI(1)
 (51) Int. Cl.⁵. H01L33/00, H01L21/52, H01L23/29, H01L23/31, H01L31/02

PURPOSE: To prevent generation of bubbles in silicone resin even if resin is thermally set for several minutes on a heating plate or in a cure furnace by using conductive adhesive which does not contain volatile solvent and by thermally setting it in two or more operations of low temperature thermosetting and high temperature thermosetting.

CONSTITUTION: An optical element 1 is die-bonded on a lead frame 2 with conductive adhesive 3, the conductive adhesive 3 is thermally set, a periphery of the optical element 1 is sealed with protecting resin 7 and the protecting resin 7 is thermally set. In such a manufacturing method of an optical device, conductive adhesive 3 which does not contain volatile solvent is used and the conductive adhesive 3 is thermally set in two or more operations of low temperature thermosetting and high temperature thermosetting. For example, after the conductive adhesive 3 is heated to 140 to 150°C for 1 to 2 minutes, it is further heated to 200 to 210°C for 1 to 2 minutes and set. Then, after non-solvent silicone resin as the protecting resin 7 is heated to 70 to 80°C for 1 to 2 minutes, it is further heated to 200 to 250°C for 5 to 10 minutes and set.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327027

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵
H 0 1 L 33/00

識別記号 庁内整理番号
N 8934-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-133596

(22)出願日 平成4年(1992)5月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 岡崎 淳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 中村 恒久

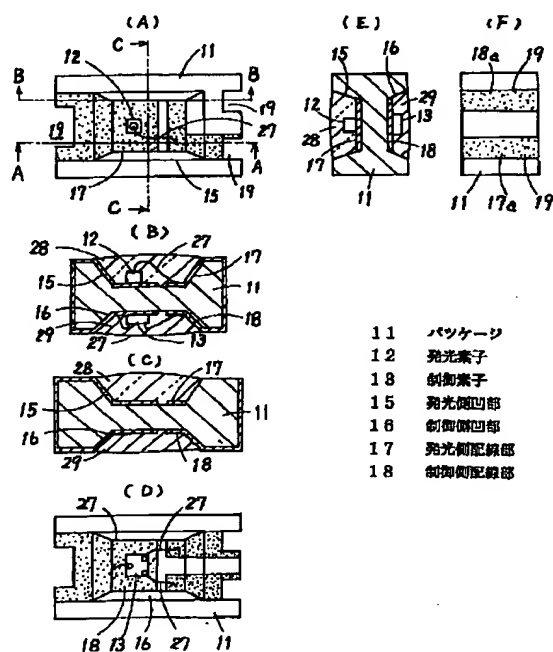
(54)【発明の名称】 電圧変動表示素子

(57)【要約】

【目的】 小型化、薄型化する。

【構成】 パッケージ11をMID法で形成し、この上面に発光チップ12を搭載し、下面に制御チップ13を搭載して、各部品をできるだけワンチップ化する。

図 1



【特許請求の範囲】

【請求項1】 入力電源電圧の電圧変化を表示する発光チップと、前記入力電源電圧を基準電圧と比較し入力電源電圧が基準電圧より低くなったときに発光チップを駆動制御するための制御チップとを備えた電圧変動表示素子において、パッケージに、発光側凹部と制御側凹部が形成され、前記発光側凹部に薄膜状の発光側配線部が立体的に形成され、該発光側配線部に前記発光チップが搭載され、前記制御側凹部に薄膜状の制御側配線部が立体的に形成され、該制御側配線部に前記制御チップが搭載され、前記発光側凹部は、パッケージの上面に配され、前記制御側凹部は、パッケージの下面に配されたことを特徴とする電圧変動表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧の変動、特にその低下を検出してランプ表示する電圧変動表示素子に関し、例えば、携帯用音響製品、VTRカメラ、電話機、テレビジョン受像機等の各種携帯用民生機器や産業機器等に使用される電圧変動表示素子に係る。

【0002】

【従来の技術】従来の電圧変動表示素子としては、図5の如く、制御チップ（IC）および発光チップ（赤色LED）を内蔵した足（リードフレーム）付きのドーム型のものであった。これは、従来のキャンタイプの発光装置についてリードフレームの一部を改造したもので、図中、1はリードフレーム、2はレンズ形状の樹脂部である。

【0003】そして、図6の如く、電源電圧 V_{DD} が決められた検出電圧以下に下がったときに、樹脂部2の内部に収納されたLEDが点灯する。なお、図6は電圧変動表示素子を含むレベルシフト回路であり、電圧変動表示素子の出力端子OUTは、電源 V_{DD} とGNDの間に接続されたPNP型トランジスタTrにベース入力される。ここで、 R_B 、 R_C は抵抗である。

【0004】この電圧変動表示素子への入力電源電圧 V_{DD} と出力端子OUTの電圧 V_{OUT} との関係は、図7のようになる。

【0005】

【発明が解決しようとする課題】

（1）電圧変動表示素子は、用途としてバッテリー駆動の携帯機器に使用される事が多い。しかも近年、携帯機器は小型、薄型化が急速に進んでおり、それらに使用される部品はチップ部品が大半である。

【0006】これに対し、従来のランプ型の電圧変動表示素子では、外部実装基板へのリード挿入タイプであって、表面実装が不可能であり、しかも高さ寸法が大であるためスペースを取り、超小型化が要求される最近の携帯機器には使用しにくかった。

【0007】（2）従来のLEDランプタイプの電圧変

動表示素子では、リードフレーム、樹脂部など構成部が大きいので、材料、生産効率が悪く、コスト的に不利であった。

【0008】本発明は、小型化、薄型化により表面実装が可能で、かつリードフレームを使用せずに低コスト化できる電圧変動表示素子の提供を目的とする。

【0009】

【課題を解決するための手段】本発明請求項1による課題解決手段は、図1の如く、入力電源電圧 V_{DD} の電圧変化を表示する発光チップ12と、前記入力電源電圧 V_{DD} を基準電圧 V_{REF} と比較し入力電源電圧 V_{DD} が基準電圧 V_{REF} より低くなったときに発光チップ12を駆動制御するための制御チップ13とを備えた電圧変動表示素子において、パッケージ11に、発光側凹部15と制御側凹部16が形成され、前記発光側凹部15に薄膜状の発光側配線部17が立体的に形成され、該発光側配線部17に前記発光チップ12が搭載され、前記制御側凹部16に薄膜状の制御側配線部18が立体的に形成され、該制御側配線部18に前記制御チップ13が搭載され、前記発光側凹部15は、パッケージ11の上面に配され、前記制御側凹部16は、パッケージ11の下面に配されたものである。

【0010】

【作用】上記課題解決手段において、パッケージ11に薄膜状の配線部17、18を形成して、これに各チップ12、13を搭載することで、電圧変動表示素子の各部品を可能な限り一体化する。そうすると、構造の簡略化、小型薄型化、低コスト化が可能となる。

【0011】また、発光チップ12が発光しても、これと上下に離反する制御チップ13に光が進入することはない。そうすると、光による制御チップ13の誤動作がなくなる。

【0012】

【実施例】図1は本発明の一実施例を示す電圧変動表示素子であって、（A）は平面図、（B）は（A）のA-A断面図、（C）は（A）のB-B断面図、（D）は下面図、（E）は（A）のC-C断面図、（F）は側面図である。図2は電圧変動表示素子の内部回路構成図、図3は入力電源電圧と発光チップの点灯との関係を示す図、図4は点灯時の消費電流を示す図である。なお、図1（A）（D）中、各凹部内の透光性封止樹脂は、便宜上省略している。

【0013】図示の如く、本実施例の電圧変動表示素子は、電源電圧の変動を検出してランプ表示するもので、例えば、携帯用音響製品、VTRカメラ、電話機、テレビジョン受像機等の各種携帯用民生機器や産業機器等に使用される。

【0014】該電圧変動表示素子は、パッケージ11と、該パッケージ11上で外部からの入力電源電圧の電圧変化を表示する発光チップ12と、前記入力電源電圧

が予め設定された基準電圧より低くなったときに発光チップ12を駆動制御するための制御チップ13とを備えている。

【0015】前記パッケージ11としては、リードフレームを用いずに、小型、薄型の一体化した部品を得るためのMolded Interconnection Device法（以下、MID法と称す）を用いたものである。ここで、MID法とは、射出成形または押出し成形によつて得られた成形品に化学めつき等の方法で電気回路を形成したものである。

【0016】そして、図6の如く、トランジスタ T_r や抵抗 R_b 、 R_c 等を有するレベルシフト回路の一構成部分として組み込まれる。

【0017】すなわち、該パッケージ11は、耐熱性のある液晶ポリマー、ポリフエニレンサルファイド（PPS）、あるいはポリエーテルスルフォン（PES）等の電氣的絶縁性を有する遮光性樹脂が使用され、一枚の有機樹脂基板に数百個のデバイスが規則正しく配列されるよう金型成形され、後に図1（A）～（F）のような個別のデバイスにダイシング分割される。該パッケージ11の上面には、前記発光チップ12を収納するための発光側凹部15が形成され、パッケージ11の下面には、前記制御チップ13を収納するための制御側凹部16が形成されている。ここで、両凹部15、16を上下に離反させているのは、発光チップ12からの光が制御チップ13に進入して制御チップ13が誤動作するのを防止するためである。

【0018】該各凹部15、16は逆台錐形とされ、各凹部15、16の傾斜壁面は、制御チップ13へのクロストークを防止するための遮光壁とされる。

【0019】前記発光側凹部15には、めつきにて発光側配線部17が立体的に形成されている。該発光側配線部17には、前記発光チップ12が上向きに搭載される。

【0020】前記制御側凹部16には、めつきにて制御側配線部18が立体的に形成されている。該制御側配線部18には、前記制御チップ13が上向きに搭載される。

【0021】ここで、前記各配線部17、18は、各凹部15、16からパッケージ11の外周面を介して、図1（F）の如く、スルーホール19の外部接続電極17a、18aにまで引きまわしされている。

【0022】なお、前記発光側配線部17は、発光チップ12を搭載するためのみならず、発光チップ12からの照射光を凹部15の傾斜壁面で反射させることにより光指向特性を高める機能を有する。

【0023】前記発光チップ12は、可視光発光ダイオード（LED）チップが用いられ、図2の如く、アノード端子が入力電源 V_{DD} に、カソード端子が出力端子OUTに夫々接続される。

【0024】前記制御チップ13は、複数の電子部品が集積されたICであつて、図2の如く、基準電圧 V_{REF} を出力する基準電圧電源21と、該基準電圧電源21の基準電圧 V_{REF} と入力電源からの入力電源電圧 V_{DD} とを比較する比較器（オペアンプ）22と、該比較器22での比較結果に基づいて出力電圧を決定するインバータ23と、該インバータ23の出力電圧によつて発光チップ12に出力信号を出力する出力部24とを備えている。

10 【0025】前記比較器22の正入力端子は、抵抗 R_1 を介して入力電源 V_{DD} に接続され、かつ抵抗 R_2 、 R_3 を介して接地側端子 V_{SS} に接続される。また、該比較器22の負入力端子は、前記基準電圧電源21に接続される。

【0026】なお、前記抵抗 R_3 には、入力電源電圧 V_{DD} が低下した際に、抵抗 R_3 にかかる電圧を接地側端子 V_{SS} に短絡させるためのFETチップ25が並列接続される。

20 【0027】前記インバータ23の入力端子は、前記比較器22の出力端子に接続され、インバータ23の出力端子は、前記出力部24の入力端子および前記FETチップ25のゲート端子に接続される。

【0028】なお、図2中、26は定電流回路である。また、図1中、27はボンディングワイヤ（金属細線）、28はシリコン樹脂やエポキシ樹脂等の透光性封止樹脂、29は遮光性封止樹脂である。

30 【0029】上記電圧変動表示素子は、以下のように製造される。まず、多数のめつきグレードのパッケージ11を、複数デバイス分並置して一体的に射出成形する。この際、各デバイス領域の上面に発光側凹部15を下面に受光側16を形成する。そして、図1（A）～（F）の如く、各凹部15、16に金または銀めつき処理を行い配線部17、18を形成する。この配線部17、18は、パッケージ11のスルーホール19の外部接続電極17a、18aまで引きまわしておく。

【0030】次に、導電性ペーストを用いて、発光チップ12を発光側配線部17に搭載し、制御チップ13を制御側配線部18に搭載し、ボンディングワイヤ27を用いて夫々ボンディング結線する。その後、発光側凹部15を透光性封止樹脂28で封止し、制御側凹部16を遮光性封止樹脂29で封止する。

【0031】しかる後、ダイシングソーで切断してチップ化し、図1～5に示す電圧変動表示素子を完成させる。

【0032】表面実装時には、図1（F）の如く、スルーホール19に形成された各配線部17、18の接続電極部17a、18aに半田付けを施して外部接続する。

50 【0033】そうすると、メタルリードフレームを用いなくて、絶縁物としてのパッケージ11に薄膜状の配線部17、18を形成しているため、MID法の利点、す

なわち、各部品を可能な限り一体化して構造を簡単にでき、形状を小さくすることが可能であり、コスト低減が容易であり、また表面実装用部品として使用できる。具体的には、図5の従来例の高さ寸法が約1cmであつたのに対し、本実施例では、高さ寸法が2～3mmに縮小できた。

【0034】また、リードフレームとパッケージのモールド樹脂との間の熱膨張係数の差による剥離等の問題もなく、半田リフロー時の耐熱性の向上、および熱衝撃に対しても品質の向上が図り得る。

【0035】さらに、従来のようにリードピンを外部に突出させなくてもよいので、リードピンの外力による変形を防止し得る。

【0036】次に、使用時において、入力電源電圧 V_{DD} が充分なとき、図2の如く、入力電源からの電流は、抵抗 R_1 、 R_2 、 R_3 を介して V_{SS} に流れ出ていく。この場合、制御チップ13の出力端子OUTには電流が流れず、発光チップ12は点灯しない。

【0037】ここで、入力電源電圧 V_{DD} が低下し、図3に示した V_{DET} （－）以下になると、図2の如く、常に一定の基準電圧 V_{REF} となる比較器22の負入力端子に対し、正入力端子の電圧が低下する。そうすると、比較器22でLOW（0[V]）出力され、インバータ23で約5[V]に反転され、さらに出力部24から出力されて、発光チップ12が点灯する。

【0038】なお、図3中、 V_{DET} （－）は図2中の抵抗 R_2 、 R_3 にて確保される電位が基準電圧 V_{REF} と一致するために要する入力電源電圧 V_{DD} の値、 V_{DET} （＋）は図2中の抵抗 R_2 のみにて確保される電位が基準電圧 V_{REF} と一致するために要する入力電源電圧 V_{DD} の値である。この際の消費電流は、図4のようになる。

【0039】また、インバータ23からの出力はFETチップ25にも出力されるので、抵抗 R_3 の両端子が短絡する。

【0040】そうすると、比較器22の正入力端子の電位は、FETチップ25の短絡前に比べると低くなる。

【0041】このため、比較器22の正入力端子が初期の基準電圧 V_{REF} 以上に復帰するためには、 V_{DD} が V_{DET} （－）より高い V_{DET} （＋）以上となることが必要となる。

【0042】この場合、制御チップ13を発光チップ12に離反させているので、発光チップ12からの光による制御チップ13の誤作動がない。しかも、発光チップ12の発光時に制御チップ13が視認されるのを防止で＊

＊き、デザイン上のマイナス効果を防止できる。

【0043】なお、本発明は、上記実施例に限定されるものではなく、本発明の範囲内で上記実施例に多くの修正および変更を加え得ることは勿論である。

【0044】例えば、上記実施例では、各配線部17、18をめつき法にて形成していたが、金属蒸着等の他の方法で形成してもよい。

【0045】また、上記実施例では、発光チップ12を単体チップとして実装したが、IC、LSIの中に発光チップ12を含ませて制御チップ13に離反させてマウントしてもよい。そうすると、二個分のICが一個分のスペースで実装できる。

【0046】

【発明の効果】以上の説明から明らかな通り、本発明によると、MID法を用いてパッケージを形成しているので、発光チップおよび制御チップを簡単な構造で一部品に組み込むことが可能で、小型のチップ部品として小型化できる。したがって、超高密度実装基板への実装が可能となり、近年の各種携帯用機器の小型化の要請に対応できる。

【0047】また、発光チップと制御チップをパッケージの上下に離反させているので、発光チップからの光によつて制御チップが誤動作するのを防止できるといった優れた効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す電圧変動表示素子であつて、(A)は平面図、(B)は(A)のA-A断面図、(C)は(A)のB-B断面図、(D)は下面図、(E)は(A)のC-C断面図、(F)は側面図

【図2】電圧変動表示素子の内部回路構成図

【図3】入力電源電圧と発光チップの点灯との関係を示す図

【図4】点灯時の消費電流を示す図

【図5】従来の電圧変動表示素子の側面図

【図6】一般的な電圧変動表示素子のレベルシフト回路

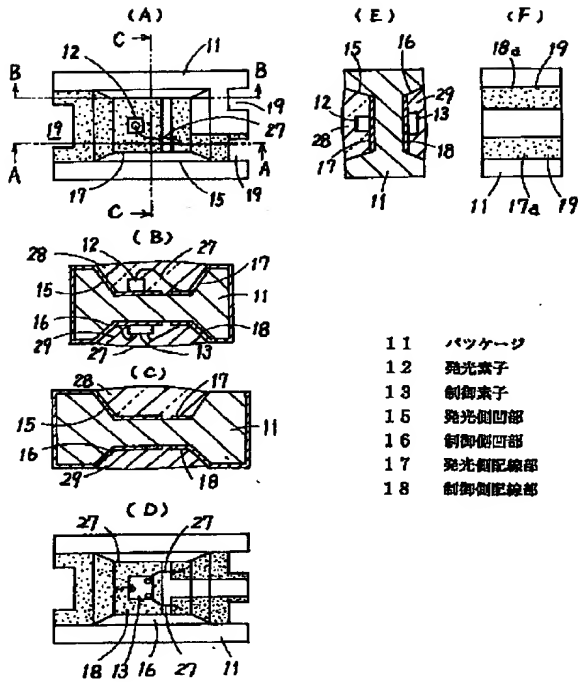
【図7】一般的な電圧変動表示素子の入力電源電圧と出力電圧との関係を示す図

【符号の説明】

- | | |
|----|--------|
| 11 | パッケージ |
| 12 | 発光チップ |
| 13 | 制御チップ |
| 15 | 発光側凹部 |
| 16 | 制御側凹部 |
| 17 | 発光側配線部 |
| 18 | 制御側配線部 |

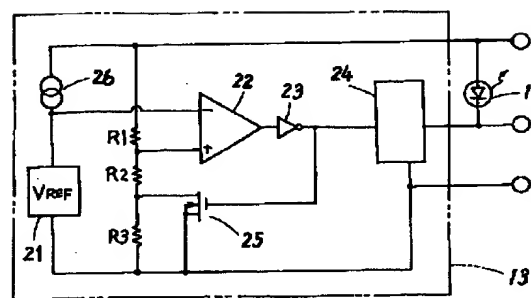
【図1】

図1



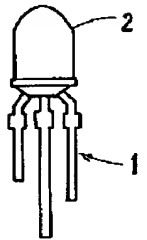
【図2】

図2



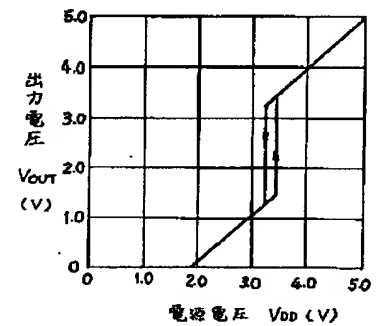
【図5】

図5



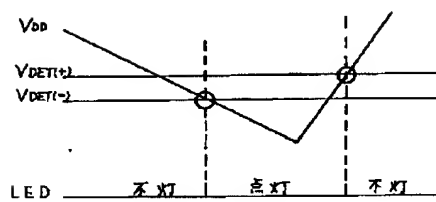
【図7】

図7



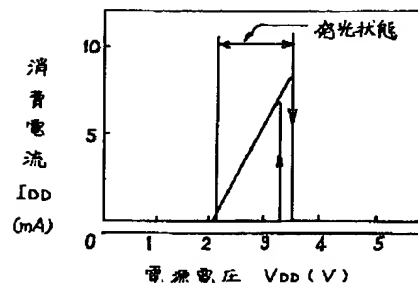
【図3】

図3



【図4】

図4



【図6】

図 6

